

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-098339

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

G02F 1/133
G09G 3/36

(21)Application number : 10-264231

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 18.09.1998

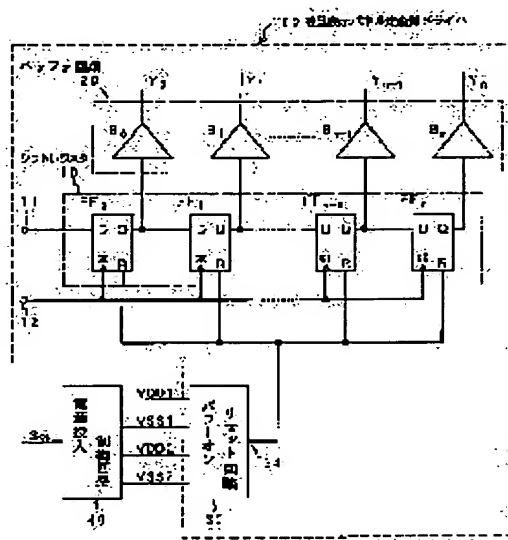
(72)Inventor : KAGEYAMA HIROYUKI
SUYAMA TORU

(54) LIQUID CRYSTAL DISPLAY PANEL SCANNING LINE DRIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To start excellently the display operation of a liquid crystal display panel and to prevent an element destruction when a power source is turned on even when the storage state of a D flip-flop when the power source of the liquid crystal display panel was turned off in the last time is random.

SOLUTION: When a first high potential side source VDD1 and a second high potential side source VDD2 are raised by power source supplying, a reset signal is outputted from an output terminal 34 to all D flip-flops FF0-FFn. Then, when a second low potential side source VSS2 is lowered together with the second high potential side source VDD2, a switching element of an N channel MOS-FET is turned on, and the output terminal 34 is made minus potential, and the reset is released, and a shift register 10 is activated.



LEGAL STATUS

[Date of request for examination]

15.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3508012

[Date of registration]

09.01.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

//

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-98339
(P2000-98339A)

(43) 公開日 平成12年4月7日 (2000. 4. 7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	2 H 0 9 3
G 0 9 G 3/36		G 0 9 G 3/36	5 C 0 0 6

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平10-264231

(22) 出願日 平成10年9月18日 (1998. 9. 18)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 景山 博行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 須山 透

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100086737

弁理士 岡田 和秀

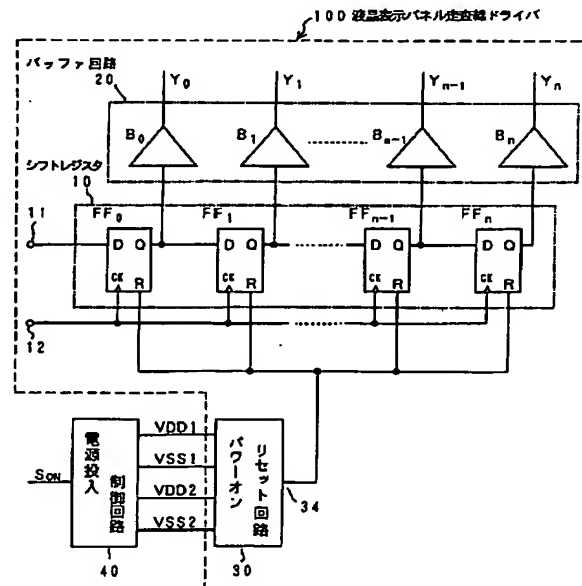
最終頁に続く

(54) 【発明の名称】 液晶表示パネル走査線ドライバ

(57) 【要約】

【課題】 前回に液晶表示パネルの電源をOFFにしたときのDフリップフロップの記憶状態がランダムになっているにもかかわらず、電源を投入したときには、液晶表示パネルの表示動作を良好に開始し、素子破壊を防止する。

【解決手段】 電源投入に伴って第1の高電位側電源VDD1と、第2の高電位側電源VDD2を立ち上げることで出力端子34からすべてのDフリップフロップFF₀〜FF_nにリセット信号を出力し、次に、第2の低電位側電源VSS2を第2の高電位側電源VDD2とともに立ち下げることによってNチャンネルMOS-FETのスイッチング素子Q_nをONにして出力端子34をマイナス電位とし、リセットを解除してシフトレジスタ10をアクティブにする。



【特許請求の範囲】

【請求項 1】 シフトレジスタを構成している複数のフリップフロップのすべてを電源投入時にオールクリアするように構成されている液晶表示パネル走査線ドライバ。

【請求項 2】 電源投入に基づいてすべてのフリップフロップに対してリセット信号を出力し、その直後にリセット信号出力を解除するパワーオンリセット回路を備えている請求項 1 に記載の液晶表示パネル走査線ドライバ。

【請求項 3】 パワーオンリセット回路は、高電位側電源に接続された抵抗と、この抵抗と低電位側電源との間に挿入されたスイッチング素子と、前記抵抗とスイッチング素子との接続点に接続された出力端子とから構成されている請求項 2 に記載の液晶表示パネル走査線ドライバ。

【請求項 4】 パワーオンリセット回路は、高電位側電源が印加されるプラス電源端子に抵抗を介して N チャンネルのスイッチング素子のドレインが接続され、そのスイッチング素子のゲートに第 1 の低電位側電源が印加されるグランド端子が接続され、そのスイッチング素子のソースに第 2 の低電位側電源が印加されるマイナス電源端子が接続され、電源投入に伴って高電位側電源を立ち上げた後に、高電位側電源と第 2 の低電位側電源とを両者間の電位差をはば一定に保った状態でともに立ち下げることによりスイッチング素子を導通させるように構成してある請求項 3 に記載の液晶表示パネル走査線ドライバ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示パネル走査線ドライバにかかわり、特にはそのシフトレジスタに対するパワーオンリセットの技術に関するものである。

【0002】

【従来の技術】液晶表示パネル走査線ドライバは通常、複数の電源入力を有し複数の走査電極ラインに対する複数のフリップフロップからなるシフトレジスタとバッファとから構成されている。シフトレジスタの出力シフト動作により、複数の走査電極ラインを順次にアクティブにして、液晶表示パネルの表示画面を垂直方向にスキャンしていく。

【0003】

【発明が解決しようとする課題】シフトレジスタにおける複数のフリップフロップのそれぞれはメモリの機能をもっている。したがって、前回は液晶表示パネルの電源を OFF にしたときの状態がフリップフロップに記憶されたままとなっている。いずれの D フリップフロップが出力 “H” で、いずれのフリップフロップが出力 “L” かは、電源 OFF のタイミングによってランダムに変化する。そのため、次に液晶表示パネルの電源を ON にす

ると、シフトレジスタの内部ロジックがランダムなものとなり、シフトレジスタの回路状態が不定となってしまうため、液晶表示パネルの表示に悪影響を及ぼすという問題がある。場合によっては、シフトレジスタやバッファ回路を構成している LSI 等の素子が破壊されてしまうおそれがある。

【0004】本発明は上記従来の問題点を解決するもので、電源投入時における画面表示のトラブルを解消することを目的としている。

10 【0005】

【課題を解決するための手段】本発明にかかわる液晶表示パネル走査線ドライバは、液晶表示パネルの走査電極ライン群に出力するシフトレジスタにおける複数のフリップフロップのすべてに対して電源投入時にオールクリアするものである。前回は液晶表示パネルの電源を OFF にしたときの状態が複数のフリップフロップにおいてランダムに記憶されたままとなっても、次に液晶表示パネルの電源を投入したときには、一旦すべてのフリップフロップを確実にリセットするので、液晶表示パネルの表示動作は所期通り良好に開始されることになる。

20 【0006】

【発明の実施の形態】本発明にかかわる請求項 1 の液晶表示パネル走査線ドライバは、シフトレジスタを構成している複数のフリップフロップのすべてを電源投入時にオールクリアするように構成したものである。従来においては液晶表示パネル走査線ドライバにパワーオンリセット機能を有していなかったところ、本発明ではパワーオンリセット機能をもたせたので、液晶表示パネルに対する電源投入時においてその表示動作を乱れなく所期通り良好に開始させることができる。また、シフトレジスタやバッファ回路を構成している LSI 等の素子の破壊のおそれを大幅に軽減することができる。

【0007】本発明にかかわる請求項 2 の液晶表示パネル走査線ドライバは、上記請求項 1 において、電源投入に基づいてすべてのフリップフロップに対してリセット信号を出力し、その直後にリセット信号出力を解除するパワーオンリセット回路を備えた構成となっている。電源投入時にはシフトレジスタをオールクリアした後にアクティブにするので、液晶表示パネルの表示における初期の誤動作を防止するとともに、回路部品の信頼性を高めることができる。

【0008】本発明にかかわる請求項 3 の液晶表示パネル走査線ドライバは、上記請求項 2 において、そのパワーオンリセット回路は、第 1 の高電位側電源に接続された抵抗と、この抵抗と低電位側電源との間に挿入されたスイッチング素子と、前記抵抗とスイッチング素子との接続点に接続された出力端子とから構成されている。これをより具体的に記述したのが、次の請求項 4 である。すなわち、本発明にかかわる請求項 4 の液晶表示パネル走査線ドライバは、上記請求項 3 において、そのパワー

オンリセット回路は、第1の高電位側電源が印加される
 プラス電源端子に抵抗を介してNチャンネルのスイッ
 チング素子のドレインが接続され、そのスイッチング素子
 のゲートに第1の低電位側電源が印加されるグランド端
 子が接続され、そのスイッチング素子のソースに第2の
 低電位側電源が印加されるマイナス電源端子が接続さ
 れ、電源投入に伴って高電位側電源を立ち上げた後に、
 第2の高電位側電源と第2の低電位側電源とを両者間の
 電位差をほぼ一定に保った状態でともに立ち下げること
 によりスイッチング素子を導通させるように構成してある。
 電源投入に伴ってまずパワーオンリセット回路を起
 動する。まず、第1の高電位側電源を立ち上げるが、こ
 のときスイッチング素子はOFFを保っているので、出
 力端子からは“H”レベルのリセット信号をすべてのフ
 リップフロップに出力してシフトレジスタをオールクリ
 アする。次に、ソースの第2の低電位側電源を立ち下げ
 ることで、ゲートの第1の低電位側電源の電位を相対的
 に第2の低電位側電源よりも高くしてスイッチング素子
 をONにすることにより、リセット信号の出力を解除す
 る。このとき、出力端子の電位は第2の低電位側電源レ
 ベルとなり、フリップフロップのアクティブ状態を确实
 に保証することができる。第2の高電位側電源を第2の
 低電位側電源とともに立ち下げるのでその後も引き続き
 ON状態を持続するスイッチング素子に過剰な負担を与
 えないですむ。

【0009】以下、本発明にかかわるパワーオンリセッ
 ト回路付きの液晶表示パネル走査線ドライバの具体的な
 実施の形態を図面に基づいて詳細に説明する。

【0010】図1は液晶表示パネル走査線ドライバの回
 路構成図である。この液晶表示パネル走査線ドライバ1
 00は、シフトレジスタ10とバッファ回路20に加えて、
 電源投入時にシフトレジスタ10のすべてのDフリ
 ップフロップをクリアするパワーオンリセット回路30
 を備えている。電源投入制御回路40は電源投入検出信
 号 S_{in} の入力に基づいて所定の電源シーケンスに従って
 パワーオンリセット回路30に対して第1の高電位側電
 源VDD1、第1の低電位側電源VSS1、第2の高電
 位側電源VDD2および第2の低電位側電源VSS2を
 順次的に出力するように構成されている。電圧レベルの
 一例をあげると、VDD1は2.7～5.5V、VSS
 1は0V（グランドGND）、VSS2は-5～-3
 V、VDD2はVSS2に対してVDD1（2.7～
 5.5V）だけ高い電圧である。又、VDD1、VSS
 1は、ロジックの入力回路に使用され、入力信号はさら
 に、VDD2、VSS2にレベルシフトされ、VDD
 2、VSS2は、内部のロジック回路を動作させる電源
 である。

【0011】図2はパワーオンリセット回路30の回路
 図である。このパワーオンリセット回路30は次のよう
 に構成されている。プラス電源端子31に抵抗R。の

端が接続され、抵抗R。の他端がエンハンスメント型の
 NチャンネルのMOS-FETからなるスイッチング素
 子Q。のドレインに接続されている。スイッチング素子
 Q。のソースはマイナス電源端子32に接続され、ゲート
 はグランド端子33に接続されている。スイッチング
 素子Q。のドレインすなわち抵抗R。との接続点は出力
 端子34に接続されている。このパワーオンリセット回
 路30におけるプラス電源端子31は電源投入制御回路
 40の第2の高電位側電源VDD2のラインに接続可能
 とされ、マイナス電源端子32は電源投入制御回路40
 の第2の低電位側電源VSS2のラインに接続可能とさ
 れ、グランド端子33は電源投入制御回路40の第1の
 低電位側電源VSS1のラインに接続可能とされてい
 る。パワーオンリセット回路30の出力端子34はシフ
 トレジスタ10におけるすべてのDフリップフロップF
 F。～FF。のリセット端子Rに接続されている。

【0012】シフトレジスタ10においては、第2の高
 電位側電源VDD2と第2の低電位側電源VSS2とで
 駆動され、初段のDフリップフロップFF。のデータ入
 力端子Dが第1の高電位側電源と第1の低電位側電源の
 振幅を持つ入力信号を第2の高電位側電源VDD2と第
 2の低電位側電源VSS2の振幅にレベルシフトされた
 ドライブ信号入力端子11に接続され、各段について、
 前段のDフリップフロップFF。のQ出力の出力端子Q
 が次段のDフリップフロップFF_{i+1}のデータ入力端子
 Dおよび対応するバッファ回路20のバッファB_iの入
 力端子に接続されている。すべてのDフリップフロップ
 FF。～FF。のアクティブロウ型のクロック入力端子
 CKには共通にクロック信号入力端子12が接続されて
 いる。バッファ回路20の各バッファB。～B。はそれ
 ぞれ図示しない液晶表示パネルの走査電極ラインY。～
 Y。に接続されている。

【0013】次に、以上のように構成された液晶表示パ
 ネル走査線ドライバ100の動作を図3のタイミングチ
 ャートに従って説明する。液晶表示パネルに対する電源
 がOFFにされている状態では、電源投入制御回路40
 からパワーオンリセット回路30に供給されるすべての
 電源すなわち第1の高電位側電源VDD1、第1の低電
 位側電源VSS1、第2の高電位側電源VDD2および
 第2の低電位側電源VSS2は0Vである。したがっ
 て、パワーオンリセット回路30においてプラス電源端
 子31、グランド端子33、マイナス電源端子32の電
 位はすべて0Vである。スイッチング素子Q。のゲート
 ソース間電圧も0Vであるので、このスイッチング素
 子Q。はOFF状態となっている。結局、パワーオンリ
 セット回路30の出力端子34はゼロレベルを保ってい
 る。

【0014】液晶表示パネルに対する電源がONにされ
 ると、電源投入制御回路40に電源投入検出信号 S_{in} が
 入力され、電源投入制御回路40はパワーオンリセット

回路 30 に対して第 1 の高電位側電源 $VDD1$ 、第 1 の低電位側電源 $VSS1$ 、第 2 の高電位側電源 $VDD2$ および第 2 の低電位側電源 $VSS2$ を供給する。第 1 の高電位側電源 $VDD1$ が供給される。これが時刻 t_0 の状態である。時刻 t_0 では、スイッチング素子 Q_1 のソースにつながるマイナス電源端子 32 に供給される第 2 の低電位側電源 $VSS2$ が 0 V であり、ゲートにつながるグランド端子 33 も 0 V であるので、スイッチング素子 Q_1 は OFF 状態を保つ。なお、グランド端子 33 は常時的に 0 V を保つ。

【0015】電源投入制御回路 40 は続いて所定の電源シーケンスに従って、時刻 t_1 において第 2 の高電位側電源 $VDD2$ を “H” レベルに立ち上げる。その結果として、プラス電源端子 31 が “H” レベルとなり、このときスイッチング素子 Q_1 が OFF であるので、出力端子 34 にはプラス電源端子 31 の電位が抵抗 R_1 によって電圧降下された分の “H” レベルの電圧が出力される。この出力端子 34 からの “H” レベルの信号はシフトレジスタ 10 に対してリセット信号として出力される。すなわち、パワーオンリセット回路 30 の出力端子 34 からの “H” レベルのリセット信号がシフトレジスタ 10 のすべての D フリップフロップ FF₁ ~ FF_n のリセット端子（クリア端子）に入力され、すべての D フリップフロップ FF₁ ~ FF_n がリセットされる。つまり、シフトレジスタ 10 がオールクリアされる。すなわち、すべての D フリップフロップ FF₁ ~ FF_n の出力端子 Q の出力が “L” レベルとなり、バッファ回路 20 におけるすべてのバッファ B₁ ~ B_n の出力端子つまりは液晶表示パネルにおけるすべての走査電極ライン Y_1 ~ Y_n が “L” レベルに初期リセットされる。このように、電源投入時にすべての走査電極ラインを一旦は強制的に “L” レベルに初期リセットすることが重要である。

【0016】続いて、所定の電源シーケンスに従って電源投入制御回路 40 は時刻 t_2 から第 2 の高電位側電源 $VDD2$ と第 2 の低電位側電源 $VSS2$ とを徐々に降下させていく。この結果として、パワーオンリセット回路 30 においては、プラス電源端子 31 とマイナス電源端子 32 との電位差が一定に保たれた状態で、グランド端子 33 につながっているスイッチング素子 Q_1 のゲートの電位がマイナス電源端子 32 につながっているソースの電位に対して相対的に上昇し、ゲート・ソース間電圧 ($VSS1 - VSS2$) がスレッショルドレベルを超えたときに、すなわち時刻 t_3 において、スイッチング素子 Q_1 が ON する。これにより、それまでプラス電源端子 31 につながっている第 2 の高電位側電源 $VDD2$ に近い電位であった出力端子 34 の電位は、第 2 の低電位側電源 $VSS2$ の電位にほぼ等しくなる。

【0017】時刻 t_4 から時刻 t_5 にかけて、引き続いて、プラス電源端子 31 につながっている第 2 の高電位

側電源 $VDD2$ とマイナス電源端子 32 につながっている第 2 の低電位側電源 $VSS2$ とがさらに徐々に降下されていき、プラス電源端子 31 は第 2 の高電位側電源 $VDD2$ の所定のプラスの基準電位 $VDD2_{th}$ となり、またマイナス電源端子 32 は第 2 の低電位側電源 $VSS2$ の所定のマイナスの基準電位 $VSS2_{th}$ となる。プラスの基準電位 $VDD2_{th}$ は 0 V から 0 V よりやや高くなるように設定されている。出力端子 34 の電位も第 2 の低電位側電源 $VSS2$ とともに降下を続け、時刻 t_5 においてマイナスの基準電位 $VSS2_{th}$ で安定する。すなわち、パワーオンリセット回路 30 の出力端子 34 はマイナスレベルとなり、時刻 t_5 までシフトレジスタ 10 のすべての D フリップフロップ FF₁ ~ FF_n に与えていたリセット信号を解除し、D フリップフロップ FF₁ ~ FF_n をそのオールクリア状態からアクティブ状態に切り換えていく。

【0018】本実施の形態においては、液晶表示パネル走査線ドライバ 100 に上記のようなパワーオンリセット回路 30 を内蔵させてあるので、次のような効果が発揮される。シフトレジスタ 10 におけるすべての D フリップフロップ FF₁ ~ FF_n がメモリの機能をもっていて、前回に液晶表示パネルの電源を OFF にしたときの状態が D フリップフロップ FF₁ ~ FF_n に記憶されたままとなっており、その記憶状態が電源 OFF タイミングに応じてきわめてランダムなものとなっても、次に液晶表示パネルの電源を投入したときには、上記したとおり、パワーオンリセット回路 30 の動作により、電源投入直後に一旦すべての D フリップフロップ FF₁ ~ FF_n を確実にリセットし、シフトレジスタ 10 をオールクリアした後に、各 D フリップフロップ FF₁ ~ FF_n をアクティブ状態へと遷移していくので、液晶表示パネルの電源を ON にしたときは、シフトレジスタ 10 の内部ロジックはパワーオン時には常に同じ状態のオールクリアの状態に強制的に初期化されるため、液晶表示パネルの表示動作は所期通り良好に開始されることになる。したがってまた、シフトレジスタ 10 やバッファ回路 20 を構成している LSI の破壊のおそれを大幅に軽減することができる。

【0019】なお、シフトレジスタ 10 の動作については従来技術と同様であるので、ここでは簡単に説明する。ドライブ信号入力端子 11 からドライブ信号が入力されると、クロック信号入力端子 12 からのクロック信号が入力されるたびに、各 D フリップフロップ FF₁ ~ FF_n の出力が順次に “H” レベルに切り換えられていく。つまり、1 つめのクロック信号で D フリップフロップ FF₁ の出力端子 Q が “H” レベルに、2 つめのクロック信号で D フリップフロップ FF₂ の出力端子 Q が “H” レベルに、といった具合であり、これにより、各バッファ B₁ ~ B_n を介して走査電極ライン Y_1 ~ Y_n が順次にアクティブにされていく。この場合に、必ず所

期通りに1番目の走査電極ライン Y_0 のみを最初の被駆動ラインとし、以下、液晶表示パネル上で Y 方向に並んでいる走査電極ライン $Y_1 \sim Y_n$ をその並びの順のとおり純二に被駆動ラインとすることができるのである。

【0020】なお、図4はスイッチング素子 Q_0 としてPチャンネルのMOS-FETを用いた場合のパワーオンリセット回路30の回路構成であり、この場合の動作は図5のタイミングチャートのとおりである。

【0021】

【発明の効果】本発明にかかわる液晶表示パネル走査線ドライバによれば、前回電源OFF時の複数のフリップフロップの記憶状態がどのような状態であっても、次に液晶表示パネルの電源を投入したときには、シフトレジスタを確実にオールクリアすることにより、液晶表示パネルの表示動作を所期通り良好に開始させることができるとともに、素子の破壊を極力防止することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態にかかわる液晶表示パネル走査線ドライバの回路構成図

【図2】 実施の形態におけるパワーオンリセット回路の回路図

【図3】 実施の形態におけるパワーオンリセット回路の動作を説明するタイミングチャート

【図4】 別の実施の形態のパワーオンリセット回路の*

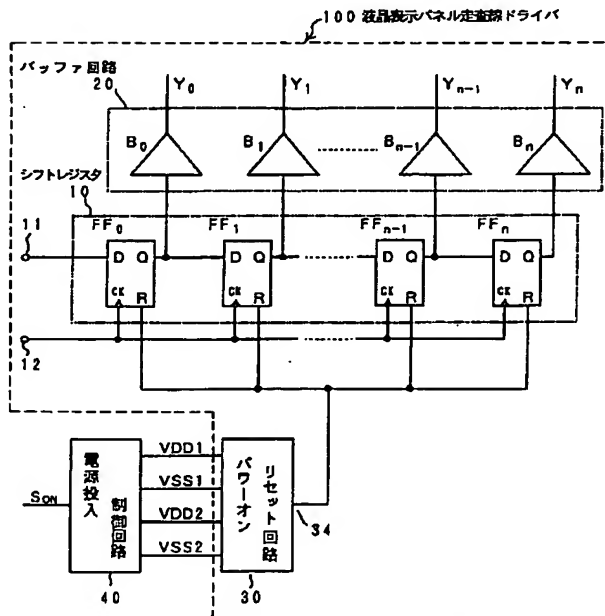
* 回路図

【図5】 別実施の形態のパワーオンリセット回路の動作を説明するタイミングチャート

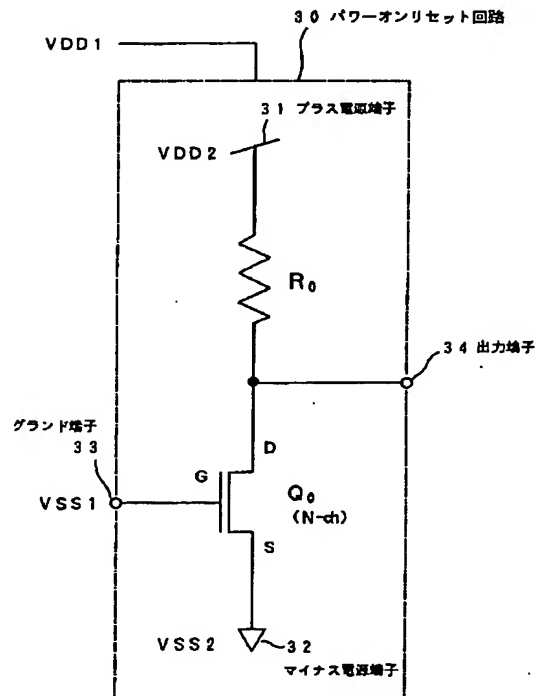
【符号の説明】

10……シフトレジスタ	11……ドライバ信号入力端子
12……クロック信号入力端子	20……バッファ回路
30……パワーオンリセット回路	31……プラス電源端子
32……マイナス電源端子	33……グランド端子
34……出力端子	40……電源投入制御回路
100……液晶表示パネル走査線ドライバ	
Q_0 ……スイッチング素子	R_0 ……抵抗
$FF_0 \sim FF_n$ ……Dフリップフロップ	
$B_0 \sim B_n$ ……バッファ	
$Y_0 \sim Y_n$ ……走査電極ライン	
$VDD1$ ……第1の高電位側電源	
$VDD2$ ……第2の高電位側電源	
$VSS1$ ……第1の低電位側電源	
$VSS2$ ……第2の低電位側電源	

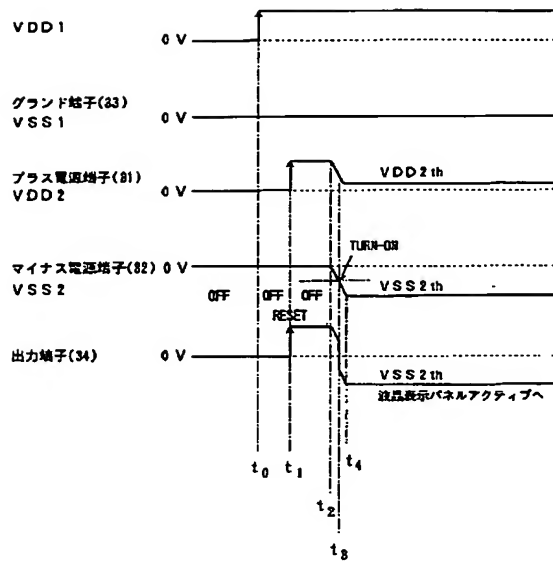
【図1】



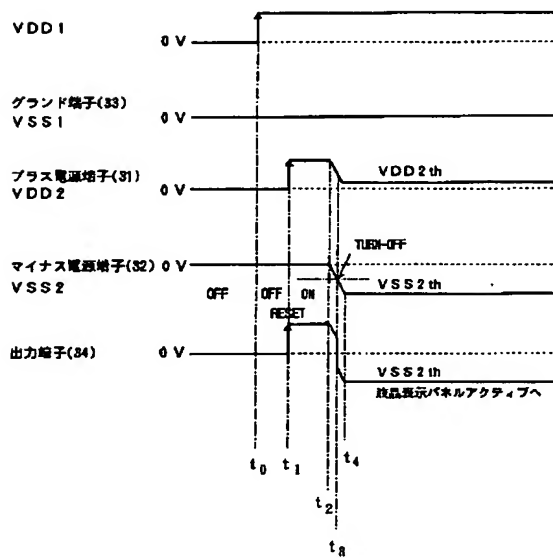
【図2】



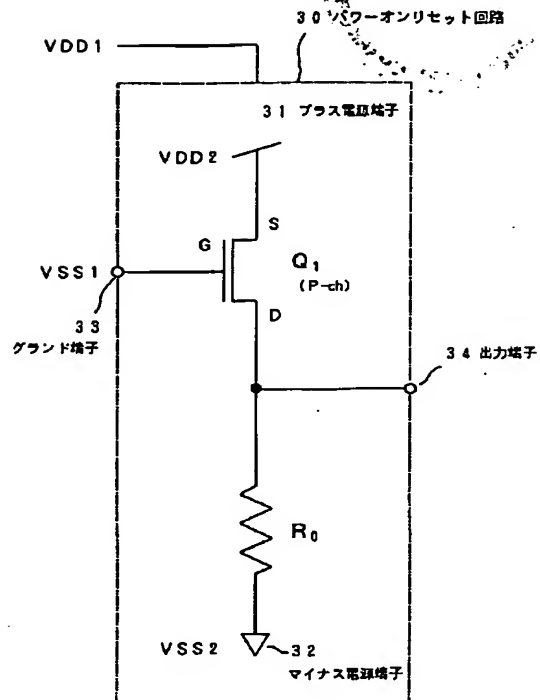
【図3】



【図5】



【図4】



フロントページの続き

F ターム(参考) 2H093 NC10 NC16 NC21 NC22 ND34
ND60
5C006 AF67 BB11 BC03 BF03 BF06
BF34 FA16 FA33